

应用于超宽带收发机的多相时钟生成器的设计

刘小峰, 刘 钊, 李宇根, 王志华
(清华大学 微电子学研究所, 北京 100084)

摘 要: 设计了一款用于超宽带(UWB)收发机的多相位基带时钟生成器. 该时钟生成器通过分析锁相环(PLL)和延时锁定环(DLL)结构的共性, 提出了一种全匹配的压控振荡器/压控延时线(VCO/VCDL)双模可配置结构, 使时钟生成器可以分别在 PLL/DLL 两种模式下工作, 为 UWB 收发机提供 2 GHz 10 相位的基带时钟信号. 该电路基于 TSMC 65 nm CMOS 工艺设计实现, 有效面积为 0.03 mm². 根据测试结果, PLL 模式工作时输出相位噪声为 -85.04 dBc/Hz @1 MHz, 参考杂散功率为 -46.89 dBc. 供电电压为 1 V 时, 电路总功耗约为 2.1 mW.

关键词: 超宽带收发机; 多相时钟生成; 锁相环; 延时锁定环; 双模可配置

中图分类号: TN402 **文献标识码:** A **文章编号:** 1000-7180(2016)11-0087-04

A Multiphase Clock Generation for UWB Transceiver

LIU Xiao-feng, LIU Dang, RHEE Woogeun, WANG Zhi-hua
(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: A multiphase baseband clock generation for UWB transceiver is presented. By combining the similarity of PLL and DLL's structure, a reconfigurable fully-matched VCO/VCDL with dual mode is proposed. The clock generation system with the proposed VCO/VCDL can work in PLL/DLL mode separately, and provide 10 phase baseband clock signals which is 2 GHz. The chip is fabricated in TSMC 65 nm CMOS process, and the active area is only 0.03 mm². The testing results show that the output phase noise is -85.04 dBc/Hz@1 MHz and the reference spur is -46.89 dBc in PLL mode. The power consumption of the clock generation is about 2.1 mW under the 1 V supply.

Key words: UWB transceiver; multiphase clock generation; PLL ; DLL; dual-mode reconfigurable

1 引言

近年来通信产业发展迅猛,短距离无线通信系统被广泛研究. Wifi 和蓝牙技术作为通用的无线传输标准在智能手持设备中被广泛应用,但它们很难为显示设备提供高分辨率的无线传输. 而超宽带(UWB)技术所实现的短距离无线收发机可以解决此类问题,并能在功耗和系统复杂度上有良好的折衷,在 Gb/s 以上的收发机研究中体现了巨大的潜力.

图 1 所示为 IR-UWB 收发机的系统框图,上半部分为发射机,下半部分为接收机. 可以看出,多相位基带时钟生成电路在此系统中起到了至关重要的作用:在发射机中,可用来合成数字脉冲包络;在接收机中,可提供多相位时钟,利用多相位时钟来进行

码元级别(symbol-level)的同步^[1].

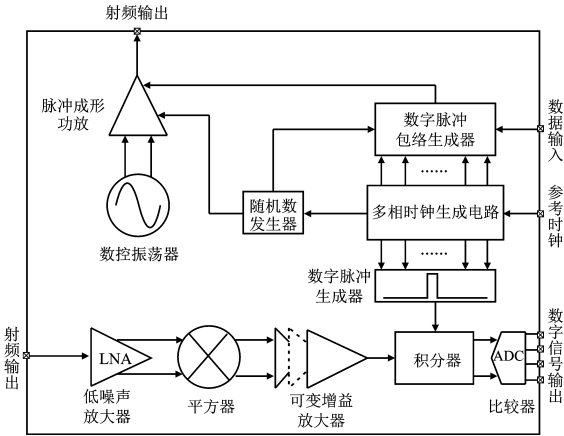


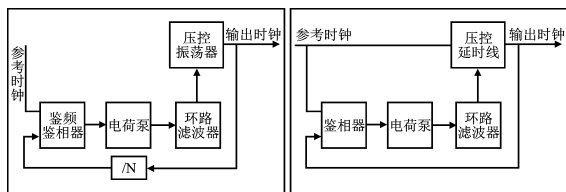
图 1 IR-UWB 收发机系统框图

锁相环(PLL)和延时锁定环(DLL)是集成电路领域最为常见的两类用于精确定时的高速时钟生成电路,二者各有不同的优点. PLL 的优势在于能够抑制时钟抖动以及输入时钟频率漂移;DLL 具有结构简单、环路稳定性强、相位误差不会逐级累计、输出时钟抖动小等优点^[2]. 在收发机的设计中,PLL 可提供稳定的时钟,而 DLL 可通过改变输入参考时钟来改变数据率,这对于收发机芯片的研究有很大的意义.

本文在 TSMC 65 nm CMOS 工艺下设计了一种用于 IR-UWB 收发机系统的双模可配置多相时钟生成电路. 该电路可产生 10 相位 2G Hz 的时钟信号,可根据需求分别使系统在 PLL 和 DLL 两种模式下工作.

2 系统结构

图 2 是传统 PLL 和 DLL 的结构框图. PLL 由鉴频鉴相器(PFD)、电荷泵(CP)、环路滤波器(LF)、压控振荡器(VCO)和分频器($/N$)构成;DLL 由鉴相器、电荷泵、环路滤波器、压控延时线(VCDL)构成. 二者主要的不同体现在压控振荡器和压控延时线的使用方面. 本文提出了一种 VCO/VCDL 模式可选结构,很好地结合了 PLL 和 DLL 的结构,使系统可以分别在 PLL 和 DLL 模式下工作.



(a)PLL 结构框图

(b)DLL 结构框图

图 2 PLL 与 DLL 的结构框图

图 3 是本文所提出的多相时钟生成电路的系统框图. 通过改变模式控制字(MOD),系统分别可在两个环路下工作. 当 MOD 为 0 时,参考时钟 1 (CLK1)为 62.5 MHz,鉴频鉴相器输出至电荷泵,压控振荡器工作,再通过整数分频器($1/32$)反馈到回路,系统上半部分环工作,即为 PLL 模式;当 MOD 为 1 时,参考时钟 2 (CLK2)为 2 GHz,鉴相器输出至电荷泵,压控延时线工作,系统下半部分工作,即为 DLL 模式. 由于鉴频鉴相器、鉴相器、分频器都采用数字电路,面积和功耗较小,故系统中关键部分在于压控延时线/压控振荡器双模可选结构的设计.

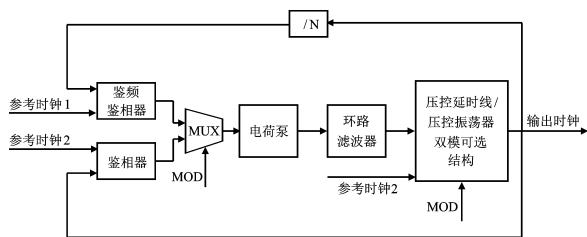
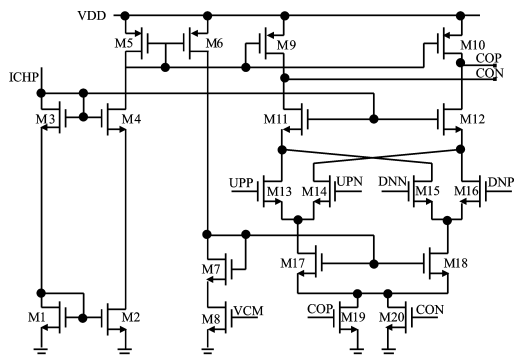


图 3 多相时钟生成电路系统框图

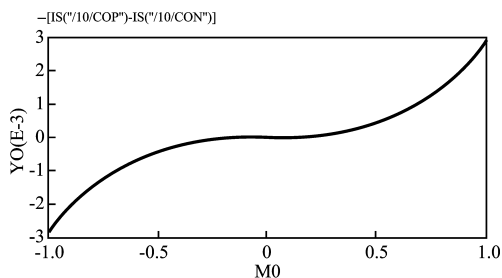
3 电路设计

3.1 电荷泵

电荷泵结构如图 4(a)所示,采用传统的全差分电流舵结构^[3]. 这种结构的差分电荷泵有助于减小提高相位差与电荷间的线性度,从而减小带内噪声折叠,也有助于降低时钟馈通等耦合效应带来的影响^[3]. 图中 VCM 由电阻分压得到,共模反馈电压 COP 和 CON 来自环路滤波器的一阶电容两端. 图 4(b)给出了电荷泵充放电电流匹配曲线,动态范围为 $-0.35 \sim 0.35$ V,可覆盖 VCO/VCDL 所需的控制电压范围. 两端失配是由于 MOS 管工作进入线性区.



(a)电荷泵电路实现



(b)电荷泵电流匹配曲线

图 4 电荷泵电路实现与电荷泵电流匹配曲线

3.2 VCO/VCDL 双模电路实现

传统的 VCO 分为两类,即电感-电容振荡器(LC-VCO)和环形振荡器(Ring Oscillator). LC-VCO 可产生相位噪声性能优良的频率信号,但是就

多相位机制而言,一般只能通过分频器产生 2^N 个相位,频率为 F_{OUT}/N (F_{OUT} 为输出频率) 频率信号. 相比而言,环形振荡器可产生灵活的多相位,且由振荡器本身得到,频率为 F_{OUT} 本身. 环形振荡器可采用反相器级联来实现,这也为 VCO/VCDL 双模电路的实现提供了可能.

本文所采用的 VCO/VCDL 双模电路结构由电压-电流转换电路(V-to-I)和振荡器-延时链(Oscillator/Delay line)电路两部分构成,具体电路如图 5 所示. 图 5(a)所示为电压-电流转换电路,差分电压 VCP、VCN 输入后可控制输出电流. 一组控制字 $CW<4:0>$ 由外部串口程序给出,可调节电流变化范围,以适应工艺变化的影响. 控制字 $CW<4:0>$ 为二进制码,可使 VCO/VCDL 工作范围足够宽.

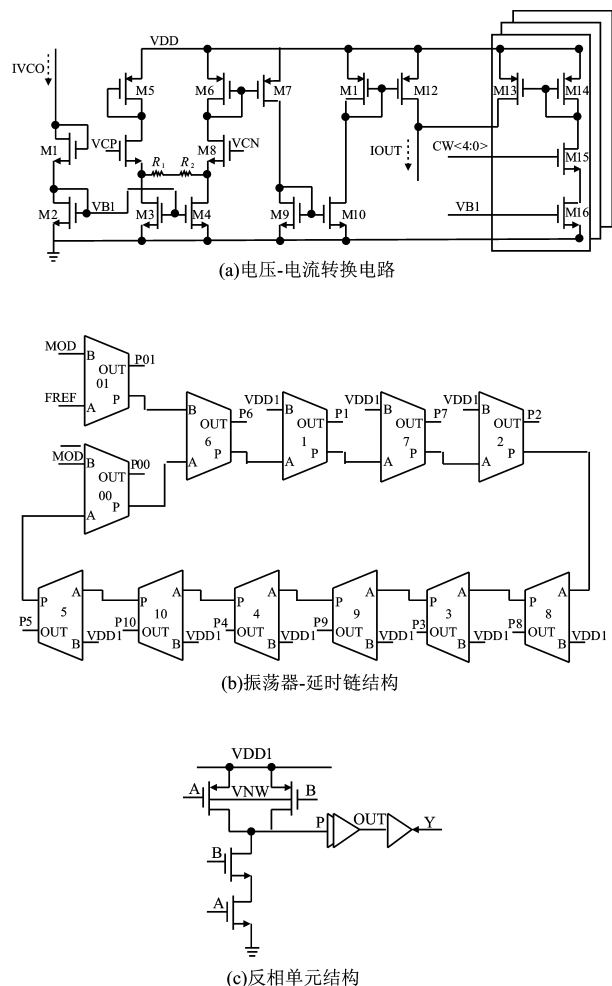


图 5 电路图

图 5(b)所示为本文所提出的振荡器-延时链电路结构. 振荡器和延时链都可由反相单元构成,区别在于振荡器是一个闭环结构,而延时链为开环结构. 为了使二者复用,可用多路选择器(MUX)将其中一级断

开,但是这会增加其中一级的负载,导致输出的相位不均衡. 为了使环路匹配,每个反相单元模块采用如图 5(c)与非门(NAND)和缓冲级(BUF)构成,与非门中 PMOS 衬底 VNW 单独接出,可改善衬底噪声性能. 电压-电流转换电路的电流输出 I_{OUT} 接至反向单元模块的 VDD1,进而可控制反相单元的延时. 与非门输出为 P,经过一个缓冲级,输出 OUT,OUT 经过反相器输出为 Y. P 作为每个单元之间的连接,可保证整个电路模块全匹配(fully matched),OUT 则作为多相位时钟输出. Y5 作为输出时钟信号,经过再经过一个反相器,作为反馈信号接入分频器和鉴相器.

振荡器模式工作情况如下:当模式控制字 MOD 为 0 时,反向单元 01 输出为 1,即反相单元 00 接入电路中,闭环结构,相当于一个 11 级的环形振荡器.

延时链模式工作情况如下:当模式控制字 MOD 为 1 时,反相单元 00 输出为 1,即反相单元 01 接入电路中,开环结构,相当于一个延时线,为了确保 PLL 和 DLL 模式输出相位相同,参考时钟 2 经过两个缓冲级(BUF)接至鉴相器,确保参考信号和反馈信号延时相同.

经过上面的 VCO/VCDL 双模电路,可以产生 P1~P10 十个相位的时钟信号,需要特别注意这里相位输出的顺序^[4],通过分析电路,各相位顺序已在图中标出(忽略相位 0).

3.3 其他模块电路设计

3.3.1 鉴频鉴相器、鉴相器

本系统中鉴频鉴相器采用两个上升沿触发的 D 触发器和与门构成^[5],鉴相器为 SR 触发器构成. 为了匹配后面的差分结构,二者所产生的 UP 和 DN 信号均通过缓冲器(BUF)和反相器(INV)形成两组差分信号,即 UPP/UPN 和 DNP/DNN. 通过多路选择器(MUX),当控制字 MOD 为 0 时,PFD 的输出接入电荷泵;当控制字 MOD 为 1 时,PD 的输出接入电荷泵.

3.3.2 环路滤波器

本系统中环路滤波器设计在片外,可以减少芯片面积,也可根据不同需要设置不同的环路滤波器. 当 PLL 模式工作时,环路滤波器为差分的二阶环路滤波器. 当 DLL 模式工作时,环路滤波器为仅为一个电容构成的一阶滤波器.

4 电路仿真和测试结果

4.1 压控振荡器仿真结果

图 6 所示为压控振荡器的调谐曲线,振荡器输

出频率范围为 843 MHz~2.363 GHz,可以覆盖所需的 2 GHz 频率.振荡器增益 K_{VCO} 在 $CW=19$ 时,频率为 2 GHz 处为 470 MHz/V.

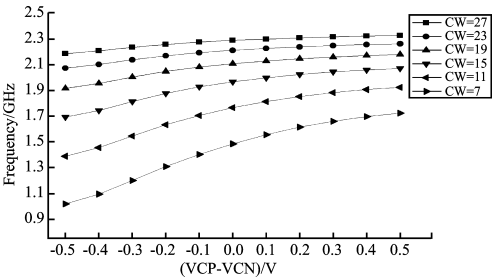


图 6 压控振荡器调谐曲线

4.2 多相位输出波形

图 7 所示不同工作模式下后仿真输出多相位波形. PLL 模式工作时,以相位 1 为基准,后面每相时钟间隔为 45~47 ps,偏差小于 2 ps;DLL 模式工作时,由于反相单元占空比不是严格的 50%,所以相位 5 和相位 6 间隔有一定偏差.其他各相位间间距为 43~46 ps,偏差在 3 ps 之内.图中所产生的多相位时钟可满足 UWB 收发机的工作要求.

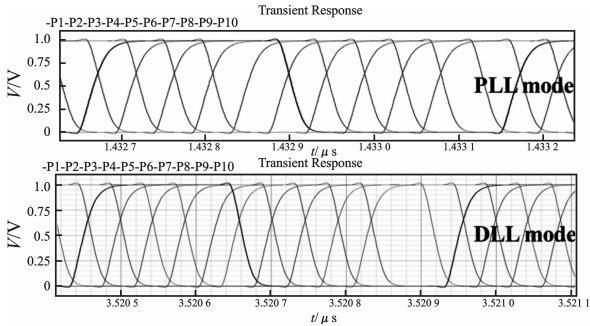


图 7 PLL 模式工作输出多相位波形

4.3 环路稳定性仿真

图 8 所示为不同工作模式下控制电压的瞬态仿真结果. PLL 模式工作时,锁定时间约为 1.08 ms; DLL 模式工作时,锁定时间约为 2.1 ms.

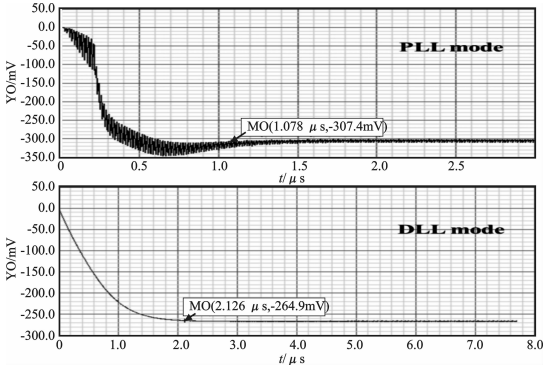


图 8 环路稳定性仿真

4.4 版图设计与测试结果

图 9 所示为 IR-UWB 收发机芯片照片及多相时钟生成器的版图设计,有源区面积仅为 0.03 mm².图 10 给出了 PLL 模式工作下测试的输出频谱和相位噪声,当环路锁定在 2 GHz 时,相位噪声为 -85.04 dBc/Hz@1 MHz,参考杂散的功率约为 -46.89 dBc,可以满足收发机的要求.电路总功耗在 PLL 模式下为 2.1 mW, DLL 模式下为 2.4 mW.

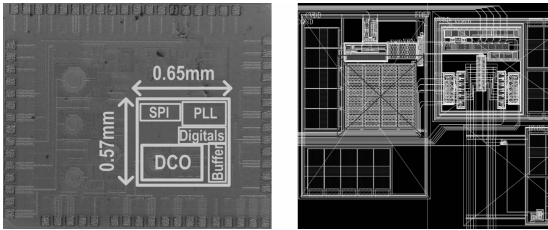
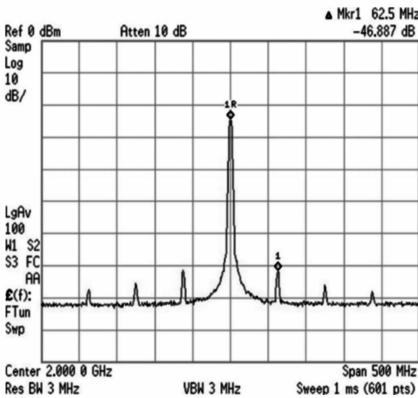
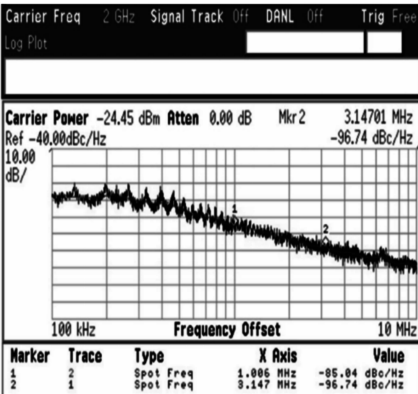


图 9 芯片照片及多相时钟生成器版图



(a)PLL测试频谱



(b)PLL测试相位噪声

图 10 PLL 测试频谱与 PLL 测试相位噪声

5 结束语

本文介绍了一种用于超宽带收发机的多相时钟 (下转第 94 页)

6 结束语

为了降低片上数据总线的功耗,本文提出了一种基于异或、同或、反转编码的数据总线低功耗方法,该方法利用数据总线前一时刻传输的数据对当前时刻需要传输的数据进行编码,重点考虑了 DSM 工艺环境下相邻导线之间耦合翻转对数据总线功耗造成的巨大影响,在 UVM 平台上的实验结果显示本文方法可以有效降低数据总线的功耗,并且比传统的 CBI 编码方法^[5]和 E/O BI 编码方法^[6],有更好的功耗优化效果。

参考文献:

- [1] 刘毅,王乃迪,杨银堂. 基于短循环程序特征的多模式低功耗编码算法[J]. 微电子学与计算机, 2008, 25(2): 104-106.
- [2] Stan M R, Burleson W P. Bus-Invert coding for low-power I/O [J]. IEEE Transactions on Very Large Scale Integration Systems, 1995, 3(1): 49-58.
- [3] Shin Y, Chae S I, Choi K. Partial bus-invert coding for power optimization of application-specific systems [J]. IEEE Transactions on Very Large Scale Integration Systems, 2001, 9(2): 377-383.
- [4] Natesan J, Radhakrishnan D. Shift invert coding (SINV) for low power VLSI [C] // Proceedings of

the EUROMICRO Systems on Digital System Design. New York: IEEE, 2004: 190-194.

- [5] Sainarayanan K S, Ravindra J V R, Srinivas M B. A novel, coupling driven, low power bus coding technique for minimizing capacitive crosstalk in VLSI interconnects [C] // Proceedings of IEEE International symposium on Circuits and Systems. CA, USA: IEEE, 2006: 4155-4158.
- [6] Zhang Y, Lach J, Skadron K, et al. Odd/even bus invert with two-phase transfer for buses with coupling [C] // Proceedings of the 2002 International Symposium on Low Power Electronics and Design. New York, NY, USA: ACM, 2002: 80-83.
- [7] 谢国梁, 凌翔. 联合不等能力保护和串扰避免的片上总线编码设计[J]. 重庆邮电大学学报, 2010, 22(5): 612-617.
- [8] Sotiriadis P P, Chandrakasan A P. A bus energy model for deep submicron technology [J]. IEEE Transactions on Very Large Scale Integration Systems, 2002, 10(3): 341-350.

作者简介:

李泉泉 男, (1987-), 博士, 工程师, 研究方向为嵌入式处理器体系结构、数字集成电路设计与验证。

E-mail: liquanquan2007@126.com

(上接第 90 页)

生成电路,该电路提出了一种全匹配的 VCO/VC-DL 双模可配置结构,使电路可分别在 PLL 和 DLL 模式下工作,产生的 10 相位 2 GHz 的多相时钟。该设计基于 TSMC 65 nm CMOS 工艺实现,供电电压为 1 V。PLL 模式工作时,相位噪声在 1 MHz 频偏处为 -85.04 dBc/Hz,参考杂散为 -46.89 dBc。电路总功耗在 PLL 模式工作时为 2.1 mW, DLL 模式工作时为 2.4 mW。该多相时钟生成电路可为超宽带收发机提供基带时钟信号,同时也提供了脉冲调制信号,使超宽带收发系统能更好地工作。该芯片为目前 SOC 芯片中两种最主流的时钟生成电路的结合提供了一种解决方案,有很大的研究意义和潜能。

参考文献:

- [1] LIU D, LIU X F, RHEE W, et al. A 7.6 mW 2 Gb/s proximity transmitter for smartphone-mirrored display applications[C]//Solid-State Circuits Conference, ASSCC'15. Xiamen, China: IEEE, 2015: 1-4.

- [2] 陈忱,刘伯安. 基于 DLL 的 1.25G 超宽带通信系统时钟生成电路[J]. 固体电子学研究进展, 2007, 27(2): 253-257.

- [3] Andrea L, Salvatore L, Carlo S. Integrated frequency synthesizers for wireless systems [M]. New York: Cambridge University Press, 2007.

- [4] Sander L J Gierkink. Low-spur, low-phase-noise clock multiplier based in a combination of PLL and recirculating DLL with dual-pulse ring oscillator and self-correcting charge pump [J]. Journal of Solid-State Circuits, 2008, 43(12): 2967-2976.

- [5] 张刚. CMOS 集成锁相环电路设计 [M]. 北京:清华大学出版社, 2013: 21-22.

作者简介:

刘小峰 女, (1991-), 硕士研究生. 研究方向为模拟集成电路设计. E-mail: liuxf13@mails. tsinghua. edu. cn.

刘 钊 男, (1987-), 博士. 研究方向为用于无线短距离通信的超宽带收发机的设计。

李宇根 男, (1968-), 教授, 博士生导师. 研究方向为低功耗收发系统、低噪声时钟和频率产生器的研究。